

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

9784096

Basic Patent (No,Kind,Date): JP 3074880 A2 910329 <No. of Patents: 001>

SEMICONDUCTOR DEVICE (English)

Patent Assignee: MATSUSHITA ELECTRONICS CORP

Author (Inventor): UEMOTO YASUHIRO; FUJII ELJI; EMOTO FUMIAKI; SENDA KOJI

IPC: *H01L-029/784; H01L-027/12

Derwent WPI Acc No: G 91-137089

JAPIO Reference No: 150241E000010

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 3074880	A2	910329	JP 89210949	A	890816 (BASIC)

Priority Data (No,Kind,Date):

JP 89210949 A 890816

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

03411980 **Image available**

SEMICONDUCTOR DEVICE

PUB. NO.: **03-074880** [JP 3074880 A]

PUBLISHED: March 29, 1991 (19910329)

INVENTOR(s): UEMOTO YASUHIRO

FUJII EIJI

EMOTO FUMIAKI

SENDA KOJI

APPLICANT(s): MATSUSHITA ELECTRON CORP [000584] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 01-210949 [JP 89210949]

FILED: August 16, 1989 (19890816)

INTL CLASS: [5] H01L-029/784; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1080, Vol. 15, No. 241, Pg. 10, June 21, 1991 (19910621)

ABSTRACT

PURPOSE: To obtain a device with a high withstand voltage characteristic without providing an offset part by providing a plurality of thin-film FETs within an Si layer on an insulation substrate and connecting a source and a drain commonly and mutually.

CONSTITUTION: An SiO(sub 2) 12 and poly Si 21 are laminated on an Si substrate 11. Then, an SiO(sub 2) 13 and a P-doped poly Si 14 are superposed, etching is made using a resist mask, and then a gate oxide film 13 and a gate electrode 14 are formed. Then, a P ion is implanted with the gate as a mask for annealing, thus forming a source 15 and drains 16-1 to 5. A device is formed, where a plurality of thin-film FETs where the source and the drain are connected commonly are connected in series. With this configuration, when a gate voltage VG is constant and a high drain voltage VD (5) is applied to the drain 16-5 of this serial FET, operation proceeds in inversely biased state in sequence from the drain side so that a large drain voltage is not concentrated on only the FET which is closest to the drain 16-5 and is distributed uniformly to each FET at a smaller value below the withstand voltage, thus greatly improving withstand voltage between the source 15 and the drain 16-5.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-74880

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)3月29日

H 01 L 29/784
27/12

7514-5F
9056-5F

H 01 L 29/78 3 1 1 C

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 平1-210949

⑯ 出 願 平1(1989)8月16日

⑰ 発 明 者	上 本 康 裕	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑰ 発 明 者	藤 井 英 治	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑰ 発 明 者	江 本 文 昭	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑰ 発 明 者	千 田 耕 司	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑱ 出 願 人	松下電子工業株式会社	大阪府門真市大字門真1006番地	
⑲ 代 理 人	弁理士 栗野 重孝	外1名	

明 細 書

1、発明の名称

半導体装置

2、特許請求の範囲

(1) 絶縁性基板上的半導体層中に複数のソース領域および複数のドレイン領域が形成されることにより複数の薄膜トランジスタが複数個形成され、前記ソース領域およびドレイン領域がたがいに共通接続されることにより、前記複数の薄膜トランジスタが直列に接続されていることを特徴とする半導体装置。

(2) 薄膜トランジスタが、ゲートに逆バイアスを印加した状態においても、ソース・ドレイン間に電流が流れる特性を有することを特徴とする請求項1記載の半導体装置。

3、発明の詳細な説明

産業上の利用分野

本発明は、半導体装置に関するものである。

従来の技術

近年、絶縁基板上的の非晶質や多結晶シリコン、

あるいは再結晶化シリコンを用いた薄膜トランジスタは、高耐圧素子や高速LSI、平面表示素子実現のために盛んに研究が進められている。特に、薄膜トランジスタは、絶縁基板上に形成されるため、通常のバルク結晶上に形成されるICにおいておこなわれるPn接合によるアイソレーションよりもはるかに大きなドレイン-基板間耐圧を有し、高耐圧デバイスとしての応用に非常に大きな関心が寄せられている。

以下、図面を参照しながら、上述したような従来の半導体装置について説明する。

第6図は、従来の半導体装置の一例を示したものである。61はシリコン基板、62は素子と基板とを絶縁分離するシリコン酸化膜、63はゲート酸化膜、64はゲート、65はオフセット、66はソース、7はドレインである。

第6図に示すように、従来は、不純物濃度の低いオフセット65をゲート64、ドレイン67間に形成することにより、ソース・ドレイン間の横方向の耐圧を向上させる方法がとられていた。ド

レインに高電圧が印加されると、ゲート下部、ドレイン近傍に高電界が生じるため、アバランシェ降伏が生じ、素子破壊に至るが、オフセット65は不純物濃度が低く、比較的小さなドレイン電圧で容易に空乏化することで、ゲート64、ドレイン67間に集中する電界強度を大きく減少させ、素子のソース・ドレイン間耐圧を大きく向上させることを特徴としていた。

発明が解決しようとする課題

しかしながら上記のような構造の半導体装置では、オフセット65を形成するために、ホトリソグラフィ工程およびイオン注入工程をあらたに追加する必要があり、また、素子のソース・ドレイン間耐圧をはじめとするトランジスタ特性が、オフセット65の特性に大きく依存するため、オフセット65の長さおよび不純物濃度を正確に制御しなければならないという欠点を有していた。

本発明は上記欠点に鑑み、オフセット部を設けることなく、高耐圧特性を有する半導体装置を提供するものである。

実施例

以下、本発明の一実施例について、図面を参照しながら説明する。

第1図は、本発明の一実施例における半導体装置の断面図を、第2図は、その製造方法の概略を示す。第3図には、本発明の半導体装置を構成するシングルゲート・トランジスタのドレイン電流(I_D)とゲート電圧(V_G)との関係を示す。さらに、第4図、第5図には、本発明の半導体装置の構成各トランジスタのゲート・ソース間電圧($V_{GS(N)}$)および、ドレイン・ソース間電圧($V_{DS(N)}$)とドレイン電圧($V_{D(S)}$)との関係を示す。第1図、第2図において、11はシリコン基板、12は基板と素子を絶縁分離するためのシリコン酸化膜、13-1~5はゲート酸化膜、14-1~5はゲート、15はソース、16-1~5はドレイン、21はポリシリコン薄膜である。ここでは、本発明の半導体装置の一例として、5つのポリシリコン薄膜トランジスタを直列に接続した構成について説明する。各構成薄膜トランジスタ

課題を解決するための手段

上記課題を解決するために本発明の半導体装置は、ゲート電圧が負、すなわち逆バイアス状態においても大きな電流が流れることのできる薄膜トランジスタを複数個直列に接続した構成となっている。

作用

この構成によれば、直列に接続された、薄膜トランジスタが、高ドレイン電圧印加時に、ドレイン側のものより順次、逆バイアス状態で動作していくことにより、大きなドレイン電圧が、ドレイン最近傍の薄膜トランジスタのみに集中することなく、各薄膜トランジスタに、ほぼ均等に、その耐圧以下の小さな値で分配されることになる。すなわち、本発明の半導体装置はソース・ドレイン間耐圧が大きく向上したものとなる。

また、この構成によれば、新たなホトリソグラフィ工程、イオン注入工程を追加することなく、通常のnMOSプロセスのみで素子を形成でき、プロセス的に非常に簡単なものとなる。

タは、ソース15に近いものより、1, 2, 3, 4, 5と番号を付け、各々のゲート、ドレインを14-N, 16-N, ($N=1, 2, \dots, 5$)とした。また、各ゲートは短絡し、等しい電圧 V_G を印加する。さらに、構成各薄膜トランジスタのドレイン16-N($N=1, 2, \dots, 5$)の電位を $V_{D(N)}$ と呼び、ゲート・ソース間電圧を $V_{GS(N)}$ 、ドレイン・ソース間電圧を $V_{DS(N)}$ と呼ぶことにする。

次に、第2図に従い、本発明の半導体装置の製造方法について説明する。まず、シリコン基板11を例えば1000℃、4~6時間程度の湿式熱酸化により、膜厚0.8~1.0 μ m程度のシリコン酸化膜12を形成する(図2-(a))。続いて、例えば、減圧CVD法により厚さ1500~3000Åのポリシリコン膜21を形成し、島状にパターニングする(図2-(b))。次に、ポリシリコン表面を例えば1100℃のドライO₂酸化により、膜厚0.12~0.13 μ m程度のゲート酸化膜13を形成し、ゲート電極となるポリ

シリコン膜14を膜厚3000~4000Å程度形成する。この時、ゲート電極の抵抗を下げるため、例えばリンの熱拡散を行なっておく。そして、レジストをマスクとして用いて、ポリシリコン膜14とゲート酸化膜13を連続的にエッチングして、第2図(C)のようにゲートを形成する。次に、ゲートをマスクとして、n型不純物として例えばP⁺を50keV程度のエネルギーで $1\sim3\times10^{15}$ 個/cm²程度注入した後、900℃で20~30分アニールすることによりソース15およびドレイン16-1, 2, 3, 4, 5が形成され(図2-(d))、第1図の構造が実現される。

以上のように構成された半導体装置についてその動作を説明する。簡単のため、ゲート電圧 V_g は一定とする。MOSトランジスタを第一図に示すように直列接続した場合、ドレイン電圧 $V_{D(5)}$ を増加させていくと、各構成トランジスタのドレイン端子 $V_{D(N)}$ ($N=1, 2, 3, 4$)の値は増加する。ところがバルクシリコン上に形成さ

れたMOSトランジスタにおいては、いずれの構成トランジスタもゲート・ソース間電圧 $V_{gs(N)}$ が正でなければ、チャネルが消滅し、電流が流れなくなるため、 $V_{gs(N)}>0$ という制限が付く。 $V_{gs(4)}>0$ であるためには、 $V_{D(4)}<V_g$ となり、 $V_{D(4)}$ は V_g の値を越えて増加することができない。このため大きなドレイン電圧 $V_{D(5)}$ が印加された場合、 $V_{D(4)}<V_g$ となるため、大きな $V_{D(5)}$ の大部分は、ドレイン最近傍の第5トランジスタのドレイン・ソース間に集中的に印加されることになり、耐圧の向上は望めない。

ところが、第3図に示すような $\log I_D-V_g$ 特性を有するポリシリコン薄膜トランジスタを構成トランジスタに用いることにより、ゲート電圧が負、の状態においても、図に示されるような大きな電流が流れ、トランジスタ動作が可能となる。すなわち、 $V_{gs(N)}<0$ の状態を取ることが可能であり、例えば、 $V_{D(4)}$ は $V_{gs(5)}<0$ すなわち、 $V_{D(4)}>V_g$ と、ゲート電圧 V_g の値を越えて増加することが可能となる。

ドレイン電圧 $V_{D(5)}$ を増加させた時の各構成トランジスタのゲート・ソース間電圧 $V_{gs(N)}$ を第4図に示すが、このように、第3図に示すような特性を有するポリシリコン薄膜トランジスタを用いた場合には、 $V_{D(5)}$ の増加と共に、 $V_{gs(N)}$ は次第に減少し、ついには $V_{gs(N)}<0$ へと移っていく。 $V_{gs(N)}$ の正から負へのシフトは、ドレイン近くの構成トランジスタから順次起こる。この時の、各構成トランジスタのドレイン・ソース間電圧 $V_{DS(N)}$ は、ドレイン電圧 $V_{D(5)}$ の増加とともに第5図に示すような変化をする。すなわち、 $V_{gs(N)}>0$ の時には $V_{DS(N)}$ は $V_{D(5)}$ の増加と共に単調に増加し、 $V_{gs(N)}<0$ の時には、 $V_{DS(N)}$ は $V_{D(5)}$ の増加と共に単調に減少する。 $V_{DS(N)}$ は構成トランジスタの耐圧以下の値のピーク値を持つことになる。この時の $V_{DS(N)}$ の減少率が増加率に比べ小さいことは、第3図に示した構成ポリシリコン・トランジスタの $\log I_D-V_g$ 特性において、 I_D の V_g 依存性が、 $V_g>0$ の領域でのものに比べ、 $V_g<0$ の領域でのもの方が小

さいことから説明できる。 $V_{DS(N)}$ の減少率が増加率に比べ小さい為に、高 $V_{D(5)}$ 印加時にあって、その大きな $V_{D(5)}$ は各構成トランジスタの耐圧以下の値でほぼ均等に各構成トランジスタに分配されることになり、本発明の半導体装置は、高いソース・ドレイン間耐圧を示すことになる。

以上で述べたように、本発明の半導体装置において高耐圧特性を実現するために重要な点は、 $V_g<0$ の逆バイアスの状態においても大きな電流が流れることが可能、かつ、 $V_g<0$ における電流の V_g 依存性が $V_g>0$ における電流の V_g 依存性よりも小さなことであり、そのような特性を有するものであれば、ここで説明した一実施例におけるポリシリコン薄膜トランジスタ以外に、アモルファスシリコン薄膜トランジスタでも、他の半導体、化合物半導体、その他、いずれの材料でも、n型トランジスタでもP型トランジスタでも応用できることは言うまでもない。

発明の効果

以上のように本発明によれば、不純物濃度の低

いオフセット部を設けることなく、通常のnMOSプロセスのみを用いた、非常にシンプルな構造で高耐圧トランジスタを実現することができ、その実用的効果は大なるものがある。

4、図面の簡単な説明

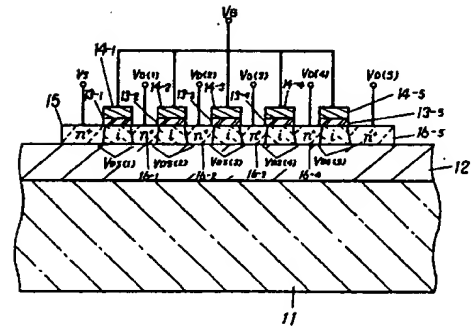
第1図は本発明の半導体装置の断面図、第2図は本発明の半導体装置の製造プロセスの概略図、第3図は本発明の半導体装置の $I_D - V_G$ 特性、第4図はドレイン電圧とゲートとの関係を示す図、第5図はドレイン電圧とソース間電圧、ドレイン・ソース間電圧との関係を示す図、第6図は従来のオフセットを用いた高耐圧薄膜トランジスタの断面図である。

11…シリコン基板、12…シリコン酸化膜、13…ゲート酸化膜、14…ゲート、15…ソース、16…ドレイン。

代理人の氏名 弁理士 栗野重孝 ほか1名

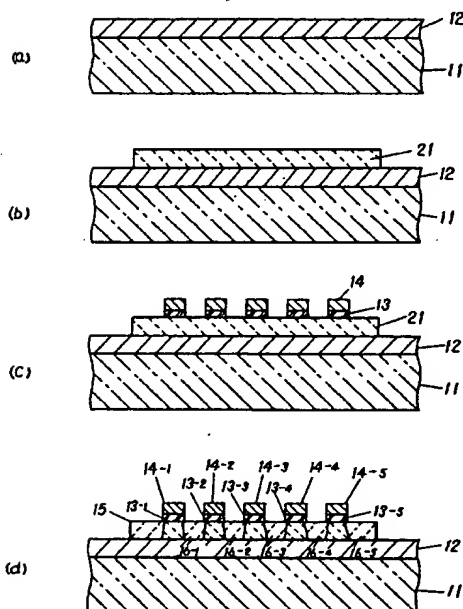
11…シリコン基板
12…シリコン酸化膜
13-1-5…ゲート酸化膜
14-1-5…ゲート
15…ソース
16-1-5…ドレイン

第1図

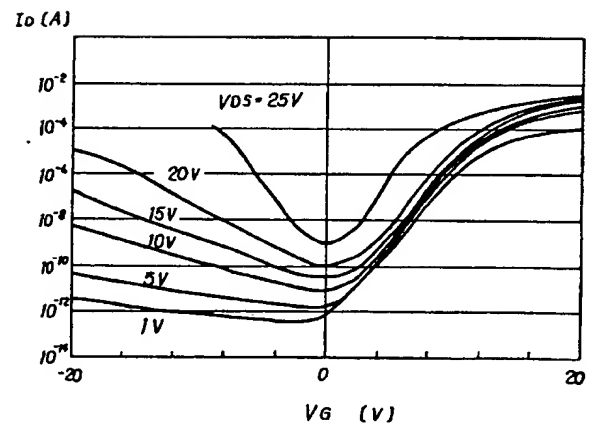


21…ポリシリコン薄膜

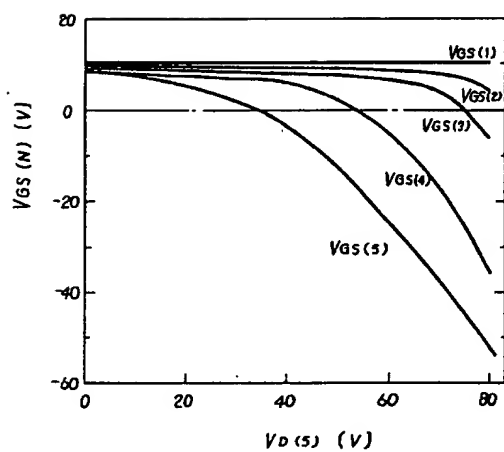
第2図



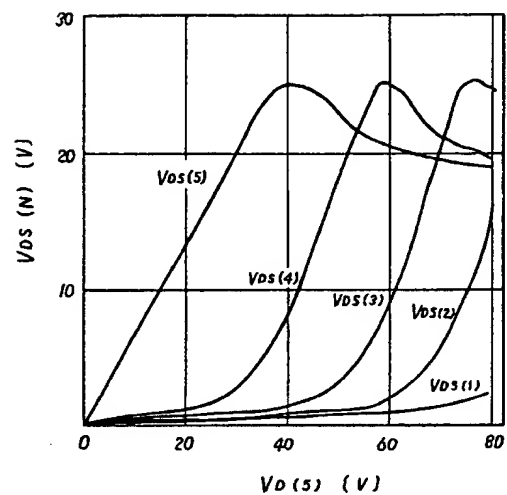
第3図



第 4 図



第 5 図



- 61 --- シリコン 基板
- 62 --- シリコン 酸化 膜
- 63 --- ゲート 酸化 膜
- 64 --- ゲート セット
- 65 --- オフ セット
- 66 --- ソース
- 67 --- ドレイン

第 6 図

